

**Feira  
Internacional  
de Informática  
1981  
São Paulo  
Brasil**

**São Paulo  
16 - 23 outubro/1981**

**Anais do  
XIV Congresso  
Nacional  
de Informática**

**Patrocinio  
SUCESI Nacional  
Realizacao  
SUCESI São Paulo  
Patrocinio Oficial  
Secretaria Especial  
de Informática**

**004.06  
C749a  
1981**

# **XIV CONGRESSO NACIONAL DE INFORMÁTICA**

# **ANAIS DO XIV CNI**

**São Paulo**  
**Outubro de 1981**

## ESPECIFICAÇÃO DE UM PROCESSADOR DE COMUNICAÇÃO PARA LIGAÇÃO DE UMA REDE LOCAL A UMA REDE COMUTADA POR PACOTES

Daniel Alberto Menascé; Ewerton Aluisio P. Vieira; Fernando Jefferson de Oliveira;  
Luiz Fernando Gomes Soares e Selda Tereza Tribuzi Lula.

Departamento de Engenharia Elétrica, PUC/RJ  
Rua Marquês de São Vicente, 225 – 22453 – Rio de Janeiro – RJ

*Palavras-chave:* Comutação por Pacotes, X.25, Microprocessadores, Programação Concorrente, Processos, Monitores.

*Resumo:* O Laboratório de Engenharia e Sistemas de Computação (LESC) da PUC/RJ está implementando uma rede local de microprocessadores (MULTIPUC). Para possibilitar a interconexão do MULTIPUC a uma rede de comunicação de dados comutada por pacotes, foi especificado e implementado, no LESC, um processador de comunicação baseado no 8085 e no controlador de comunicações 8273 da Intel. O artigo apresenta a arquitetura de "hardware" e "software" do sistema.

### 1. INTRODUÇÃO

A área de interligação de computadores e terminais através de redes de comunicação de dados comutados por pacotes teve um desenvolvimento bastante grande, na última década, em todo o mundo. Tecnologia está sendo desenvolvida, nesta área, pelo CPqD da TELEBRAS através de convênios firmados entre o CPqD, a EMBRATEL e algumas universidades brasileiras, dentre as quais está a PUC/RJ.

Está prevista para dentro de pouco tempo (dois anos, aproximadamente) a entrada em funcionamento de uma rede pública de comunicação de dados comutada por pacotes. O protocolo de acesso a esta rede é o X.25 (1). Este trabalho descreve um projeto que permitirá a ligação de recursos computacionais do LESC (Laboratório de Engenharia e Sistemas de Computação) a uma rede comutada por pacotes.

O LESC é um laboratório interdepartamental mantido pelos Departamentos de Engenharia Elétrica e de Informática da PUC/RJ. Um dos objetivos do LESC é permitir a pesquisa de novas arquiteturas para sistemas de computação. Neste laboratório, várias máquinas estão sendo desenvolvidas.

A seção dois deste trabalho descreve o ambiente no qual o projeto do processador de comunicação aqui descrito foi concebido. A seção três descreve o "hardware" do processador, salientando aquelas características que são típicas da aplicação para a qual ele se destina. Finalmente, o "software" do processador de comunicação é apresentado na seção quatro.

### 2. O AMBIENTE

Um dos projetos em desenvolvimento no LESC é o MULTIPUC, um sistema de multimicroprocessadores

— que doravante chamaremos, simplesmente, PC — servirá para ligar o MULTIPUC a uma rede comutada por pacotes conforme ilustrado na figura 2.1. Para a rede, o conjunto MULTIPUC-PC atua como um ETD.

### 3. DESCRIÇÃO DO "HARDWARE"

A arquitetura do Processador de Comunicação (PC) foi especificada de modo a atender, da melhor forma possível, requisitos de desempenho do sistema, em termos de vazão. Cabe ao PC a realização dos níveis 1, 2 e 3 do protocolo X.25, bem como a ligação com o subsistema MULTIPUC. É o MULTIPUC o responsável pela interface com o usuário, tendo residente o nível de transporte, e outros níveis acima deste. O sistema PC-MULTIPUC, é um sistema fracamente acoplado, possuindo assim espaços de endereçamento de memória principal disjuntos. Esta definição vai permitir que processos concorrentes sejam executados assíncronamente. Um sistema fracamente acoplado vai significar, a nível de "hardware", a existência de uma interface bem definida de comunicação entre os dois processadores. Esta interface é realizada através de dois bits de status, duas memórias partilhadas e um protocolo de comunicação entre os dois subsistemas. A figura 3.1 mostra o diagrama em blocos de todo o sistema.

Para a interface do PC com um nó de comutação de uma rede, é utilizado o controlador de linha 8273 da Intel. Este dispositivo será o responsável pela realização do nível 1 e parte do nível 2 do protocolo X.25.

Um sistema 8085 é o responsável pela realização dos vários processos que compõem o nível 3 e nível 2 do protocolo X.25, bem como a realização da interface entre o nível 3 e nível 4, através de um

descrito mais adiante. Este sistema deverá ser capaz de executar processos concorrentes, e para tanto facilidades de "hardware" deverão ser introduzidas.

### 3.1 – Interface com o MULTIPUC

A comunicação entre o MULTIPUC e o PC é feita através de dois bits de status, duas memórias partilhadas e um protocolo de comunicação.

O bit de status 1 e o bit de status 2 (BST1 e BST2, na figura 3.1), tanto podem ser lidos como escritos pelos dois sub-sistemas.

É através das memórias partilhadas (MP1 e MP2, na figura 3.1), que os subsistemas trocam informações. O MULTIPUC escreve em MP1 dados que são lidos e processados pelo PC. O PC, por sua vez, envia dados para o MULTIPUC através de MP2. Então, a MP1 é escrita pelo MULTIPUC e lida pelo PC, e a MP2 é escrita pelo PC e lida pelo MULTIPUC. Cabe ao "hardware" proteger MP1 e MP2 de escritas pelo PC e MULTIPUC, respectivamente.

A proteção de "hardware" mencionada não é suficiente para garantir a integridade do sistema. É necessário um protocolo que garanta o acesso exclusivo a uma memória por um dos subsistemas. Este protocolo é o apresentado em forma de fluxograma na figura 3.2.

Sempre que um subsistema quiser passar informação ao outro, é feita uma pesquisa no respectivo bit de status e obedecido o protocolo de comunicação da figura 3.2. De acordo com o protocolo, e controles realizados por "hardware" nas vias de dados dos subsistemas, é possível, a ambos, estarem colocando dados nas respectivas memórias simultaneamente, assim como lendo-as, o que contribui para a eficiência do sistema.

Dois canais de DMA são utilizados para a transferência de informação entre as memórias partilhadas e o PC. No sentido MP1 para o PC é usado o canal 2 e no sentido PC para MP2 é usado o canal 3 de um controlador 8257.

Como a comunicação via DMA é de memória para memória é necessário a realização de uma lógica adicional para a egração dos endereços das memórias partilhadas.

O diagrama em blocos da figura 3.3 ilustra a transferência de MP1 para o buffer do PC. Os pedidos de DRQ2 são gerados através de uma lógica que também controla um contador que é responsável pela geração dos endereços de MP1. A cada byte transferido um novo pedido DRQ2 é gerado, de modo que a CPU fica livre entre um pedido e outro, podendo realizar alguma tarefa. No final da transferência uma interrupção é gerada. A transferência do buffer do PC para MP2 é realizada de maneira análoga.

### 3.2 – Interface com o nó de Comutação

A interface com o nó de comutação é feita através do controlador de linha 8273. Sempre que o PC quiser transferir um quadro que se encontra no buffer de transmissão, o 8273 é comandado para transferência e o canal 1 de DMA é ativado. No final da transferência é gerada uma interrupção conforme ilustra a figura 3.4.

Na recepção o procedimento é análogo com a diferença do canal de DMA utilizado (canal 0).

É possível haver transmissão e recepção de quadros simultaneamente, visto que o 8273 é um dispositivo "full duplex". Esta facilidade contribui para a eficiência do sistema.

É o controlador de linha 8273, comandado por processos residentes no processador 8085 que realiza o nível 1 e nível 2 do protocolo X.25.

### 3.3 – O Processador 8085

O processador 8085 é a alma do PC. Ele é responsável não só por todo o controle deste subsistema, mas também pela realização do protocolo X.25. O processador deve ser capaz de suportar multiprogramação, como será evidenciado na descrição do "software" (vide seção 4). Para tanto, é desenvolvido em "hardware" um relógio programável, responsável pela alocação de fatias de tempo para cada um dos processos. A realização deste relógio utiliza um dos contadores da pastilha 8253. A cada pulso gerado (tempo predeterminado) uma interrupção é requisitada, ocasionando uma troca de processos.

Um relógio de tempo real sintetizado por um dos contadores do 8253, é utilizado pelo "software" na realização dos temporizadores dos níveis 2 e 3.

## 4. DESCRIÇÃO DA PROGRAMAÇÃO

### 4.1 – Introdução

A programação do Processador de Comunicação tem como finalidade implementar os protocolos de comunicação (X.25 níveis 2 e 3) no "hardware" apresentado.

Supõe-se que o leitor esteja familiarizado com o protocolo de comunicação X.25, assim como possua alguns conhecimentos sobre programação concorrente. Maiores informações sobre estes pontos podem ser encontrados nas referências (1, 3 e 4).

A programação foi desenvolvida segundo as técnicas de programação modular e estruturada. Optou-se por uma implementação concorrente do X.25 ao invés de sequencial, visando um aumento na taxa de processamento de pacotes pelo sistema.

A maioria dos processos foram escritos na linguagem PL/M, visto que a programação em linguagem Assembly, apesar de mais eficiente, seria por demais trabalhosa. Devido a características próprias, contudo, alguns foram codificados naquela linguagem.

A figura 4.1 apresenta o diagrama em blocos da programação, onde estão mostrados os diversos processos e monitores que compõem o sistema.

### 4.2 – Implementação de Concorrência

A execução concorrente dos processos é suportada por um NÚCLEO e por vários MONITORES.

Os processos controlam sua execução por meio de pseudo-instruções DELAY, WAIT, SIGNAL e WAITINT (espera de interrupção). Estas, assim como o controle de chamadas de rotinas de monitor e a troca de processos a intervalos regulares de tempo, são implementadas por rotinas do NÚCLEO.

MONITORES são tipos abstratos de dados que possibilitam a mútua exclusão de processos em determinadas áreas de dados.

O NÚCLEO e os MONITORES foram escritos na linguagem MAC80/C, que é uma extensão do Cross-Assembler da Intel, desenvolvida na PUC/RJ (5). A troca de processos é garantida por uma interrupção gerada pelo "hardware" a intervalos regulares de tempo. Existe um mecanismo que impõe um limite máximo ao tempo que um processo, em condição de executar, permaneça suspenso.

#### 4.3 – Processos

##### PRQ – Processo de Recepção de Quadros.

Este é o processo encarregado da recepção dos quadros do nível 1. O processo programa a 8273 para a recepção do quadro em um buffer e fica à espera de uma interrupção indicadora do término da operação. Quadros inválidos são descartados. O conteúdo do campo de controle do quadro recebido é passado para o processo PR2 via monitor MRQ.

Se o quadro for de informação (I), um novo buffer é alocado. Contudo, caso isto não seja possível o processo PR2 é notificado da perda de quadro de informação.

##### PR2 – Processo de Recepção do Nível 2.

Este processo recebe quadros de informação de PRQ, além dos octetos de controle dos últimos quadros de supervisão (S) ou não numerados (U) recebidos.

A validade dos quadros de informação é verificada e o campo de informação de cada quadro válido (pacote) é transferido a PR3.

De posse das informações recebidas, são atualizadas as variáveis de controle de fluxo (em MS2), além do estado da temporização da transmissão de quadros I.

O processo PT2 é notificado da necessidade de se enviar quadros REJ, RNR ou RR, de acordo com a informação N (S), do bit P/F recebidos, ou da impossibilidade alocação de buffers pelo processo PRQ.

Os quadros do tipo U são passados diretamente ao processo SUP2.

Os buffers dos quadros I rejeitados são liberados.

##### SUP2 – Processo de Supervisão do Nível 2.

A supervisão do estado do enlace ETD/ECD é de responsabilidade deste processo. Quadros de conexão, desconexão e reinicialização são recebidos de PR2. Comandos de controle do enlace são recebidos pelo monitor MCS. Para cada caso, as providências necessárias são tomadas.

O processo controla o estado das temporizações de recebimento de quadros e para estabelecimento do enlace. O nível 3 é informado do estado do enlace via MCS.

##### PT2 – Processo de Transmissão do Nível 2.

Este processo recebe pacotes do nível 3 (PT3) e comandos dos processos PR2 e SUP2. Para cada caso as variáveis de controle são consultadas

e um quadro é montado.

Quadros de supervisão ou não numerados são colocados imediatamente à disposição do processo PTQ para posterior transmissão.

Os buffers dos quadros confirmados são liberados.

##### PTQ – Processo de Transmissão de Quadros.

Este processo programa a 8273 para a transmissão de quadros colocados à sua disposição pelo processo PT2, e fica à espera de uma interrupção indicadora de término da operação.

##### PR3 – Processo de Recepção do Nível 3.

Os pacotes recebidos do nível 2, via monitor MC23, são analisados por este processo.

As variáveis de controle de fluxo, bem como o estado de cada canal lógico (em MS3), são atualizadas, de acordo com os pacotes de dados, controle de fluxo ou reset recebidos. Pacotes de dados ou interrupção são colocados à disposição do processo PT4. Pacotes de estabelecimento (conexão), desconexão, reinicialização e "restart" são transferidos ao processo de supervisão do nível 3 (SUP3).

##### SUP3 – Processo de Supervisão do Nível 3.

Este é o processo que supervisiona o estado dos canais lógicos, bem como o estado da interface nível 3/nível 2.

Pacotes requisitando conexão, desconexão, "restart" e pacotes de controle de fluxo são recebidos do processo PR3. Comandos do nível 4 são recebidos do processo PT3 e informações sobre o estado do enlace são obtidas no monitor MCS. Para cada caso o estado dos canais lógicos são alterados e comandos convenientes são enviados aos processos SUP2, PT3 ou PR3. Além disso, o processo controla o estado das várias temporizações do nível 3.

##### PT3 – Processo de Transmissão do Nível 3.

Este processo recebe dados ou comandos do nível 4 (via MR4) ou comandos do supervisor de nível 3 (via MS3). Consultando as variáveis de controle de fluxo dos canais lógicos, monta um pacote que será colocado à disposição de PT2. Pacotes de dados são submetidos a controle de fluxo.

##### PT4 – Processo de Transmissão para o Nível 4.

Este processo recebe informação do nível 3 pelo monitor MT4. O bit de status BST2 é testado e a informação é transferida para a memória partilhada (MP2) caso esta esteja disponível. Ao término desta operação, o buffer que continha a informação é liberado e BST2 é complementado.

Se MP2 não está disponível, o processo executa uma pesquisa em BST2.

##### PR4 – Processo de Recepção do Nível 4.

Este processo espera até que a informação seja colocada na memória partilhada de recepção (MP1), fato indicado pelo bit de status BST1. Neste momento, um buffer é alocado e a informação é transferida para o mesmo. BST1 é, então, complementado, e o buffer é colocado à disposição do processo PT2

#### . ESPERA – Processo de *Espera*

Este é o processo de mais baixa prioridade do sistema e que só entra em execução quando todos os outros processos estão, por algum motivo, com sua execução suspensa. Este processo é constituído apenas da instrução HLT, ou seja, fica à espera de uma interrupção.

#### 4.4 – Rotinas de Controle de Temporização

As temporizações dos níveis 2 e 3 são controladas por programação. O sistema possui um contador (módulo  $2^{16}$ ) que é incrementado a intervalos regulares de tempo. Duas rotinas podem ser acessadas por qualquer processo ou rotina de monitor:

TEMPO\$REAL – rotina que retorna o valor corrente do contador do sistema.

DELTA (T) – rotina que retorna a diferença entre o valor corrente do contador do sistema e o parâmetro de entrada T.

Como o contador é módulo  $2^{16}$ , verifica-se que o maior valor para DELTA (T) é  $2^{16}-1$ , o que equivale a uma temporização máxima de 650 segundos, aproximadamente, se a fatia de tempo (“timeslice”) para cada processo for de 10 milissegundos.

#### 4.5 – Monitores

##### 4.5.1 – Monitores de Comunicação

Estes monitores possibilitam a comunicação entre os processos a que têm acesso, conforme indicado na figura 4.1. Por exemplo, o monitor MTQ implementa a comunicação entre os processos PTQ e PT2.

##### . MRQ – Monitor de Recepção de Quadros

Variáveis:

- cabeça de uma fila de quadros de informação
- cotetos de controle dos últimos quadros S e U recebidos
- indicação de perda de quadro de informação por impossibilidade de alocação de buffer

##### . MC23 – Monitor de Comunicação entre os Níveis 2 e 3.

Variáveis:

- cabeça de uma fila de pacotes à disposição do processo PR3

##### . MTQ – Monitor de Transmissão de Quadros

Variáveis:

- cabeça de uma fila de quadros a serem transmitidos ao nível 1

##### . MC32 – Monitor de Comunicação entre os Níveis 2 e 3.

Variáveis:

- cabeça de uma fila de pacotes à disposição do processo PT2

##### . MCS – Monitor de Comunicação de Supervisão

Variáveis:

- informação do estado do enlace
- comandos para o supervisor de nível 3 provenientes do nível 2

provenientes do nível 3.

##### . MT4 – Monitor de Transmissão ao Nível 4

Variáveis:

- cabeça de uma fila de buffers contendo dados a serem transmitidos ao nível 4.

##### . MR4 – Monitor de Recepção do Nível 4

Variáveis:

- cabeça de uma fila de buffers contendo dados a serem recebidos do nível 4.

#### 4.5.2 – Monitores de Supervisão

##### . MS2 – Monitor de Supervisão do Nível 2

Descrição: Monitor que contém as variáveis de controle de fluxo do enlace. Permite a troca de comandos entre os processos PR2, SUP2 e PT2, e protege as variáveis de controle do nível 2.

Variáveis:

- variáveis de estado de transmissão V (S)
- variáveis de estado de recepção V (R)
- indicação de temporização ligada
- comandos para o supervisor de nível 2
- comandos para o processo PT2
- indicação de recebimento de quadro com bit de Poll = 1.

##### . MS3 – Monitor de Supervisão do Nível 3.

Descrição: Monitor que contém as variáveis de controle dos canais lógicos, informações sobre temporizações em andamento e controles do nível 3.

Variáveis:

- tabela de controle de fluxo: P (R) e P (S) para canal lógico
- tabela de estado de cada canal
- temporizações em andamento para cada canal
- comandos do supervisor de nível 3 ao processo PT3
- comandos do processo PR3 ao supervisor de nível 3.

#### 4.5.3 – Monitores de Controle de Recursos

##### . BANCO DE BUFFERS – Monitor que controla os buffers do sistema.

Os buffers do sistema são divididos em dois grupos: aqueles usados para a transferência de informação no sentido ECD/ETD e aqueles usados no sentido ETD/ECD. Isto é feito para garantir que um congestionamento em um sentido não influencie o desempenho no outro sentido.

Temos então rotinas de alocação e liberação independentes:

i) – sentido ECD/ETD:

ALOCA – retorna apontador do buffer ou zero se não há buffer disponível (A1 na figura 4.1).

LIBERA (P) – libera o buffer apontado por P (L1 na figura 4.1).

ii) – sentido ETD/ECD:

ALOCA – retorna o apontador de um buffer. Se não há buffer disponível, o processo é suspenso até que um buffer seja liberado (A2 na figura 4.1).





Figura 3.2 – Protocolo de Comunicações MULTIPUC-Processador de Comunicação

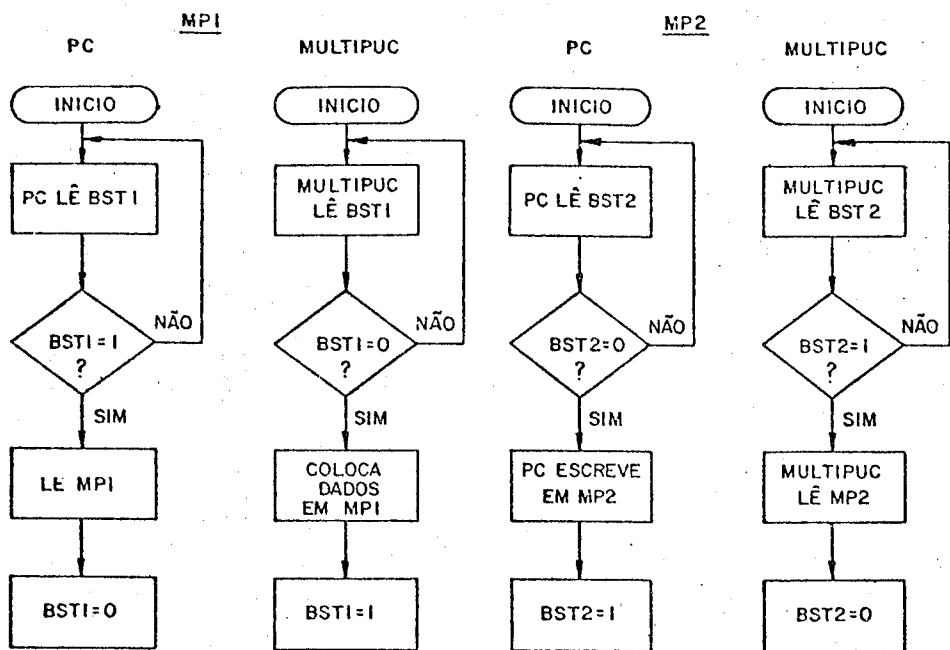


Figura 3.3 – Diagrama em Blocos da Transferência de MPI para o Buffer do P.C.

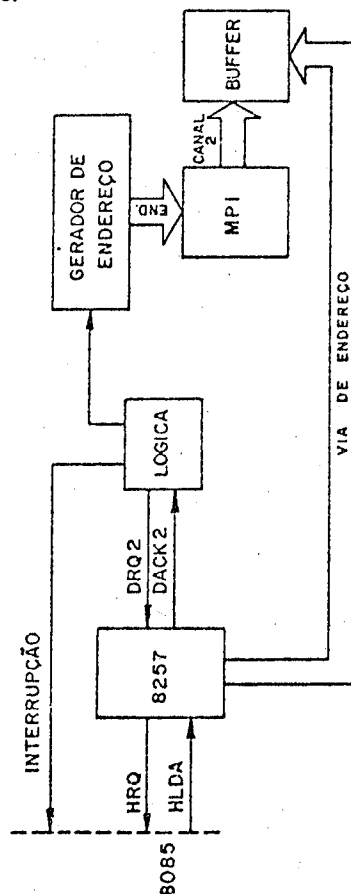


Figura 3.4 – Interface com o nó de Comutação: Canal I de DMA.

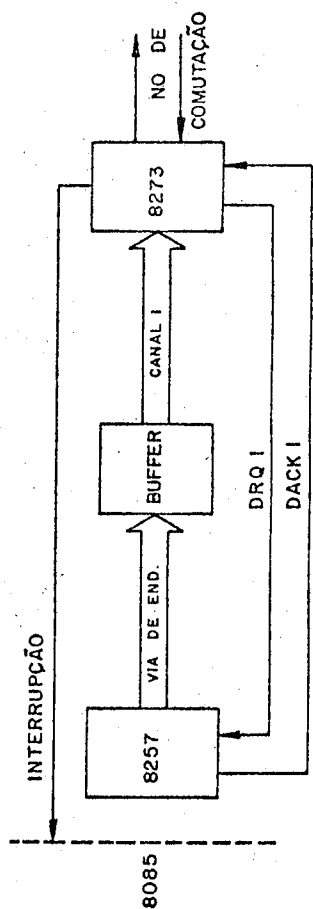


Figura 4.1 – Diagrama em Blocos da Programação.

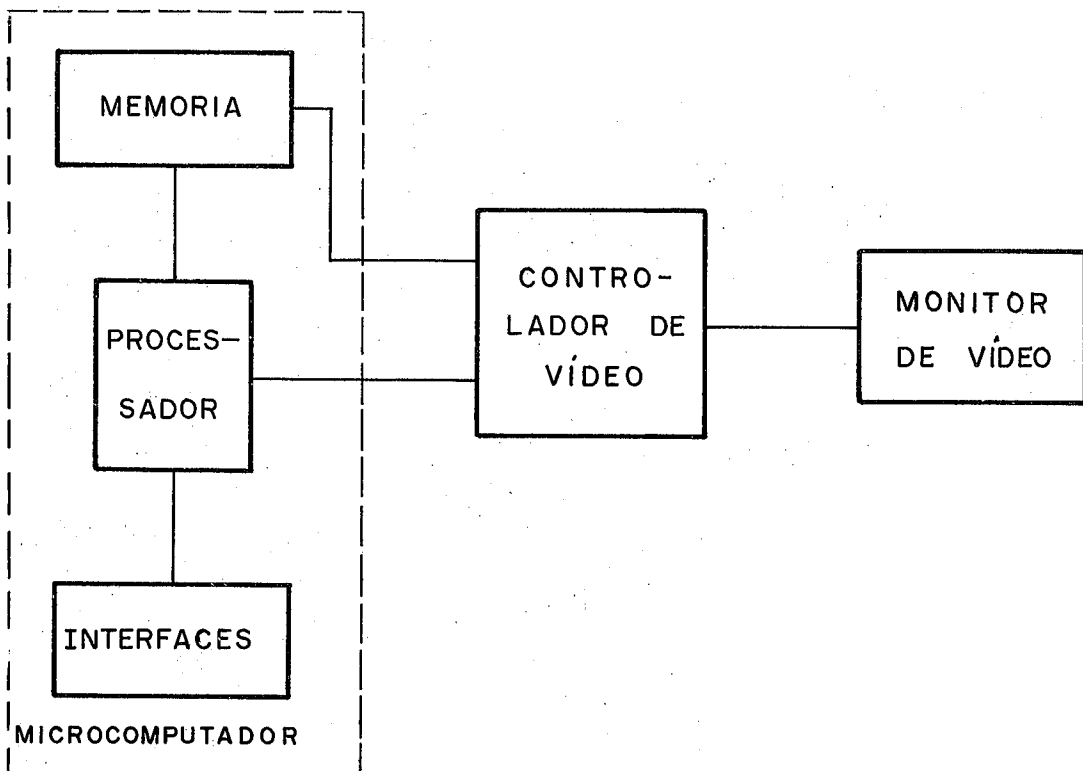
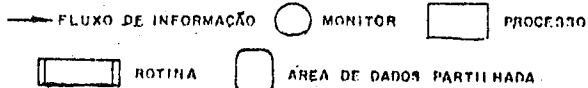


FIGURA 1